

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2003-060173**

(43)Date of publication of application : **28.02.2003**

(51)Int.Cl.

H01L 27/105

G11C 11/14

H01L 43/08

(21)Application number : **2001-250200**

(71)Applicant : **CANON INC**

(22)Date of filing : **21.08.2001**

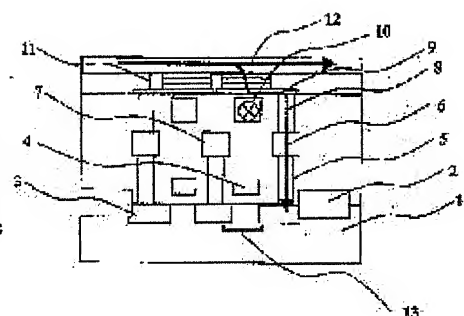
(72)Inventor : **HIRAI MASAHIKO**

## (54) METHOD FOR TERMINAL AUXILIARY DRIVE OF FERROMAGNETIC MEMORY

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To solve the problem that, when a cell area of a conventional MRAM is reduced, a diamagnetic field of a ferromagnetic material is increased, it is necessary to impart a larger rewriting magnetic field, and hence a current to flow to the write wiring is increased with the result that as the cell area is decreased, a current density of the write wiring is remarkably increased.

**SOLUTION:** A method for thermal auxiliary drive of a ferromagnetic memory comprises the steps of supplying currents to a selected variable resistors of a plurality of variable resistors, in the case of writing information in the resistors indicating different electric resistance values of the case that magnetizing directions of first and second ferromagnetic films are parallel, and the case that the magnetizing directions of the first and second ferromagnetic films are anti-parallel; raising the temperature of the variable resistor to a temperature higher than the ambient temperature; and writing information in the resistor.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-60173

(P2003-60173A)

(43) 公開日 平成15年2月28日 (2003.2.28)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード <sup>2</sup> (参考)
H 0 1 L 27/105		G 1 1 C 11/14	E 5 F 0 8 3
G 1 1 C 11/14		H 0 1 L 43/08	Z
H 0 1 L 43/08		27/10	4 4 7

審査請求 未請求 請求項の数10 O L (全 8 頁)

(21) 出願番号 特願2001-250200 (P2001-250200)

(22) 出願日 平成13年8月21日 (2001.8.21)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 平井 匡彦

東京都大田区下丸子3丁目30番2号 キヤ

ノン株式会社内

(74) 代理人 100088328

弁理士 金田 暢之 (外2名)

Fターム(参考) 5F083 FZ10 JA37 JA39 JA40 LA12

LA16 MA06 MA19 NA01 NA08

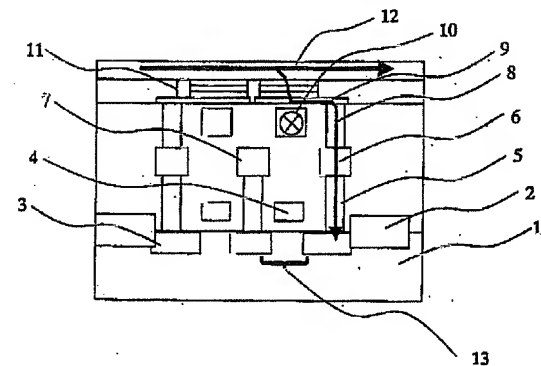
PR40

(54) 【発明の名称】 強磁性体メモリの熱補助駆動方法

(57) 【要約】

【課題】 従来のMRAMは、セル面積を小さくしていくと、強磁性体の反磁場が大きくなり、より大きな書き換え磁場を与える必要がある。したがって、書き込み配線に流すべき電流量が増大する結果となり、セル面積を小さくするにしたがって書き込み配線の電流密度は、劇的に大きくなる。

【解決手段】 それぞれが第1および第2の強磁性体膜を有し、該第1および第2の強磁性体膜の磁化方向が平行である場合と、反平行である場合とで異なる電気抵抗値を示す複数の可変抵抗器に、情報書き込みの際に、選択された可変抵抗器に電流を流し、可変抵抗器の温度を常温より高くして、情報書き込みを行う強磁性体メモリの熱補助駆動方法により解決する。



## 【特許請求の範囲】

【請求項1】 それぞれが第1および第2の強磁性体膜を有し、該第1および第2の強磁性体膜の磁化方向が平行である場合と、反平行である場合とで異なる電気抵抗値を示す複数の可変抵抗器を有する強磁性体メモリの駆動方法であって、情報書き込みの際に、選択された前記可変抵抗器に電流を流し、前記可変抵抗器の温度を常温より高くして、情報書き込みを行う強磁性体メモリの熱補助駆動方法。

【請求項2】 前記強磁性体メモリが、互いに平行な複数のビット線と、互いに平行で該ビット線に交差する複数のワード線と、半導体基板上に形成され、制御端子が所定の前記ワード線に接続され一方の端子が接地されたスイッチング素子と、前記強磁性体の磁化の方向により異なる電気抵抗値の選択を可能とし前記スイッチング素子の他方の端子に一方の端子が接続され所定の前記ビット線に他方の端子が接続された可変抵抗器と、電流を流すことで誘起される磁場によって前記可変抵抗器の抵抗値を選択する書き込み配線と、所定の前記ビット線に接続されていて前記可変抵抗器の抵抗値を検出する信号検出回路とを有し、情報書き込みの際に、選択された前記可変抵抗器に電流を流し、前記可変抵抗器の温度を常温より高くして、情報書き込みを行う請求項1記載の強磁性体メモリの熱補助駆動方法。

【請求項3】 前記強磁性体メモリが、前記可変抵抗器とは別に前記可変抵抗器に接するように、発熱層を有し、情報書き込みの際に、選択された前記可変抵抗器と前記発熱層に電流を流し、前記可変抵抗器の温度を常温より高くして、情報書き込みを行う請求項1または請求項2記載の強磁性体メモリの熱補助駆動方法。

【請求項4】 前記可変抵抗器が、トンネル磁気抵抗素子であることを特徴とする請求項1または請求項2記載の強磁性体メモリの熱補助駆動方法。

【請求項5】 前記スイッチング素子が、電界効果型トランジスタであることを特徴とする請求項2記載の強磁性体メモリの熱補助駆動方法。

【請求項6】 前記スイッチング素子が、薄膜トランジスタを用いたことを特徴とする請求項2記載の強磁性体メモリの熱補助駆動方法。

【請求項7】 前記トンネル磁気抵抗素子の強磁性体膜の磁化方向が、膜面に対して水平方向とすることを特徴とする請求項1または請求項4記載の強磁性体メモリの熱補助駆動方法。

【請求項8】 前記トンネル磁気抵抗素子の強磁性体膜の磁化方向が、膜面に対して垂直方向とすることを特徴とする請求項1

または請求項4記載の強磁性体メモリの熱補助駆動方法。

【請求項9】 前記トンネル磁気抵抗素子が、保磁力の大きい第1の強磁性体と、該第1の強磁性体よりも保磁力の小さい第2の強磁性体にトンネル絶縁膜が挟まれてなる請求項1または請求項4記載の強磁性体メモリの熱補助駆動方法。

【請求項10】 情報書き込みの際に、選択された前記可変抵抗器に電流を流し、前記可変抵抗器の温度が、記録層強磁性体のキュリー温度より高くすることを特徴とする請求項1記載の強磁性体メモリの熱補助駆動方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、強磁性体を用いた不揮発性メモリに関し、特に、強磁性体メモリの熱補助駆動方法に関する。

## 【0002】

【従来の技術】一般に、強磁性体は外部から印加された磁場によって強磁性体内に発生した磁化が外部磁場を取り除いた後にも残留する（これを残留磁化という）という特性を有している。また、強磁性体は磁化の方向や磁化の有無などによってその電気抵抗が変化する。これは磁気抵抗効果と呼ばれており、そのときの電気抵抗値の変化率を磁気抵抗比（Magnetoresistance Ratio; MR比）という。磁気抵抗比が大きい材料としては巨大磁気抵抗（GMR; Giant Magnetoresistance）材料や超巨大磁気抵抗（CMR; Colossal Magnetoresistance）材料があり、金属、合金、複合酸化物などである。例えば、Fe、Ni、Co、Gd、Tbおよびこれらの合金や、 $\text{La}_x\text{Sr}_{1-x}\text{MnO}_3$ 、 $\text{La}_x\text{Ca}_{1-x}\text{MnO}_3$ などの複合酸化物などの材料がある。磁気抵抗材料の残留磁化を利用すれば、磁化方向や磁化の有無により電気抵抗値を選択して情報を記憶する不揮発性メモリを構成することができる。このような不揮発性メモリは磁気メモリ（MRAM; Magnetic Random Access Memory）と呼ばれている。

【0003】近年、開発が進められているMRAMの多くは、巨大磁気抵抗材料の強磁性体の残留磁化で情報を記憶しており、磁化方向の違いによって生じる電気抵抗値の変化を電圧に変換して記憶した情報が読み出される方式を採用している。また、書き込み用配線に電流を流して誘起される磁場により強磁性体メモリセルの磁化方向を変化させることで、メモリセルに情報を書き込み、また、その情報を書き換えることができる。

【0004】MRAMのセルとしては、トンネル絶縁膜を2つの強磁性体で挟んだ構造をもつ、トンネル磁気抵抗素子（TMR; Tunnel Magnetoresistance、MTJ; Magnetic Tunnel Junction）が高い磁気抵抗変化率（MR比）をもち、もっとも実用化に近いデバイスと期

待されている。

【0005】

【発明が解決しようとする課題】従来のMRAMは、記録層となる強磁性体の磁化によって情報が保持され、情報書き換え時に書き込み配線に電流を流し、その電流が誘起する磁場によって、記録層の磁化方向を変更することが前提となっている。ところが、セル面積を小さくしていくと、強磁性体の反磁場が大きくなり、より大きな書き換え磁場を与える必要がある。そうすると、書き込み配線に流すべき電流量が増大する結果となり、セル面積を小さくするにしたがって書き込み配線の電流密度は、劇的に大きくなる。このため、0.2 $\mu$ mより設計ルールが小さくなると、書き込み配線が電流密度の大きさに耐えられなくなる恐れがある。

【0006】この問題を解決するため、特開2000-285668号公報に公開されているような、磁気メモリ素子に素子加熱手段を備えるといった提案がなされているが、素子加熱には、発熱体を過熱するための配線を別途用意する必要があり、構造が複雑でセル面積を小さくする際の障害になりやすい欠点がある。

【0007】本発明は、このような従来の技術が有する未解決の課題を解決するべくなされたものであり、簡単な構造でかつ、セル面積を小さくしても安定に情報を書き込むことができる強磁性体メモリの熱補助駆動方法を提供することを目的としている。

【0008】

【課題を解決するための手段】本発明の強磁性体メモリの熱補助駆動方法は、上記目的を達成するために、それぞれが第1および第2の強磁性体膜を有し、該第1および第2の強磁性体膜の磁化方向が平行である場合と、反平行である場合とで異なる電気抵抗値を示す複数の可変抵抗器と、予め、互いに平行な複数のビット線と、互いに平行で該ビット線に交差する複数のワード線と、半導体基板上に形成され、制御端子が所定のワード線に接続され一方の端子が接地されたスイッチング素子と、強磁性体の磁化の方向により異なる電気抵抗値の選択を可能とし、スイッチング素子の他方の端子に一方の端子が接続され所定のビット線に他方の端子が接続された可変抵抗器と、電流を流すことで誘起される磁場によって可変抵抗器の抵抗値を選択する書き込み配線と、所定のビット線に接続されていて可変抵抗器の抵抗値を検出する信号検知回路とを有し、情報書き込みの際に、選択された可変抵抗器に電流を流し、可変抵抗器の温度を常温より高くして、情報書き込みを行うことを特徴とする。

【0009】可変抵抗器の温度を常温より高くすることにより、強磁性体の磁化反転に必要な磁場を小さくすることが可能である。これは、強磁性体がキュリー温度に近づくと徐々に残留磁化が弱まり、キュリー温度より高い温度になると常磁性体になり、残留磁化を失う。すなわち、強磁性体をキュリー温度異常に加熱し、弱い磁場

であっても印加しながら、温度を低くすることで容易に磁化反転させることができる。

【0010】本発明の実施態様によれば、可変抵抗器に接するように、可変抵抗器とは別に発熱層を配置しておき、書き込み動作時において、選択された可変抵抗器と発熱層に電流を流し、可変抵抗器の温度を常温より高くして、情報書き込み動作させてもよい。

【0011】また、可変抵抗器はトンネル磁気抵抗素子であってもよい。

【0012】また、スイッチング素子は電界効果型トランジスタであってもよし、薄膜トランジスタを用いてもよい。

【0013】また、可変抵抗器は、トンネル磁気抵抗素子の強磁性体膜の磁化方向を膜面に対して水平方向としたものを用いてもよいし、垂直方向としたものを用いてもよい。

【0014】さらに、トンネル磁気抵抗素子は、保磁力の大きい第1の強磁性体と、該第1の強磁性体よりも保磁力の小さい第2の強磁性体にトンネル絶縁膜が挟まれてなるものを用いてもよい。

【0015】さらにまた、書き込み動作時の前記可変抵抗器の温度が、記録層強磁性体のキュリー温度より高くなるようにしてもよい。

【0016】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して詳細に説明する。

【0017】図1は、本発明の一実施形態を示す、面内磁化型の強磁性体メモリの構成図である。実施例の面内磁化型の強磁性体メモリは、半導体基板1上に、素子分離領域2と、不純物拡散により形成されたソース/ドレイン領域3とゲート電極として機能するワード線4からなる電界効果型トランジスタ13と、そのソースにプラグ5を経由して接続された接地線7と、ドレインにはプラグ5と金属層6とプラグ8を経由して接続されたローカル配線9と、ローカル配線9の上にピン層（強磁性体）／絶縁層／記録層（強磁性体）からなり下部電極部に接続されたトンネル磁気抵抗素子11と、トンネル磁気抵抗素子11の上部電極に接続されたビット線12と、トンネル磁気抵抗素子11の下側に配置された書き込み線10とから構成されている。

【0018】この他に、トンネル磁気抵抗素子11に接するように、下部電極部に発熱層を配置しておいてもよい。

【0019】この実施形態では、面内磁化型の強磁性体メモリは、書き込み線10とビット線12に書き込み電流を流し、ビット線12に流れる電流により発生する磁場が、トンネル磁気抵抗素子11に含まれる記録層の磁化方向を決定し、書き込み線10に流れる電流により発生する磁場がトンネル磁気抵抗素子11の記録層の磁化を反転しやすくする。書き込み動作時には、書き込み配

線10に書き込み電流を流すと同時にビット線12にも電流を流し、さらにワード線4に電圧を与え、スイッチング素子として機能する電界効果型トランジスタ13をオンとし、ビット線12から分岐した電流が前記トンネル磁気抵抗素子11を貫通して、接地線7まで流れる。この動作により、トンネル磁気抵抗素子11の記録層がキュリー温度付近まで加熱されると、きわめて磁化が反転しやすくなる。この状態から、電界効果型トランジスタ13をオフとし、前記トンネル磁気抵抗素子11に貫通電流が流れなくなると、急速にその温度は低くなり、ビット線12に流れる電流が誘起する磁場方向に沿うように、記録層の磁化方向が決定される。

【0020】図2に、この書き込み動作において、各配線に与える電圧、電流パルスの変動状況を模式的に示す。

【0021】図3は、本発明の一実施形態を示す、垂直磁化型の強磁性体メモリの構成図である。本実施例の垂直磁化型の強磁性体メモリは、半導体基板1上に、素子分離領域2と、不純物拡散により形成されたソース/ドレイン領域3とゲート電極として機能するワード線4からなる電界効果型トランジスタ13と、そのソースにプラグ5を経由して接続された接地線7と、そのドレインにはプラグ5と金属層6とプラグ8を経由して接続された下部電極14と、下部電極14上にピン層（強磁性体）/絶縁層/記録層（強磁性体）からなるトンネル磁気抵抗素子11と、トンネル磁気抵抗素子11の上部電極に接続されたビット線12と、トンネル磁気抵抗素子11の下側横に配置された書き込み線10とから構成されている。

【0022】この他に、トンネル磁気抵抗素子11に接するように、下部電極14に発熱層を配置しておいても良い。

【0023】この実施形態では、書き込み線10とビット線12に書き込み電流を流し、書き込み線10に流れる電流により発生する磁場が、トンネル磁気抵抗素子11に含まれる記録層の磁化方向を決定し、ビット線12に流れる電流により発生する磁場がトンネル磁気抵抗素子11の記録層の磁化を反転しやすくする。

【0024】情報の書き換え動作は、面内磁化型の強磁性体メモリの場合と同様である。

【0025】本発明の駆動方法を実現することにより、設計ルールの小さい強磁性体メモリにおいても、簡単な構造でかつ、容易な駆動方法により、情報を安定に書き換えることができる。

【0026】次に、本実施形態の強磁性体メモリの具体例を示す。

（第1の具体例）第1の具体例では、トンネル絶縁膜を2つの強磁性体薄膜で挟んだ構造をもつTMR素子を、強磁性体の磁化方向を変更可能に選択することで電気抵抗値を変変とした可変抵抗器として用いたものである。

【0027】ここでは可変抵抗器（TMR層）は保磁力の大きいハード層と、それよりも保磁力の小さいソフト層によってトンネル絶縁膜を挟んだ構造であり、面内磁化するものである。TMR層はハード層とソフト層の磁化方向が平行の場合と反平行の場合で抵抗値が異なる。そして、この磁化方向は外部から磁場を与えない限り持続されるため不揮発性メモリを実現できる。

【0028】まず、第1の具体例におけるメモリの試作工程について説明する。

【0029】図4に示すように、p型シリコン基板15上に、 $\text{SiO}_2$ からなる埋め込み型素子分離領域16と、スイッチング素子として機能する電界効果型トランジスタのドレインおよびソースとなるn型拡散領域17と、 $\text{SiO}_2$ ゲート絶縁膜18とポリシリコンゲート電極19を形成する。

【0030】次に、図5に示すように、層間絶縁膜を形成し、表面を平坦化した後コンタクトホールをあけ、タングステンを埋め込むことによってなるプラグ20を形成する。次に、 $\text{Ti}/\text{AlCuSi}/\text{Ti}$ からなる配線層を形成し、フォトリソグラフィ工程を経てビア21と接地線22を形成する。

【0031】次に、図6に示すように、層間絶縁膜を形成し、表面を平坦化した後、配線を形成する部分に溝を形成し、主に銅からなる書き込み配線23を埋め込むように形成する。この手法には、メッキ法を用いる。書き込み配線23および層間絶縁膜上面は、CMP（Chemical Mechanical Polishing）にて平坦化する。この書き込み線23は図7では示されていないが、別途書き込み電流制御用トランジスタと接続されている。

【0032】次に、図7に示すように、厚さ50nm程度の層間絶縁膜を形成した後、コンタクトホールをあけ、タングステンからなるプラグ24を形成し、表面を平坦化する。次に、主にTiNからなるローカル配線層を形成、フォトリソグラフィ工程を経た後、ローカル配線25となる。

【0033】次に、図8に示すように、 $\text{Cu}/\text{CoFe}/\text{Al}_2\text{O}_3/\gamma\text{-MnFe}$ の積層構造26を作製し、層間絶縁膜を形成した後、CMPプロセスによって、上部のCu電極を露出させる。 $\gamma\text{-MnFe}$ 層をピン層とし、CoFeを記録層とする。

【0034】次に、図9に示すように、主に銅からなるビット線27を銅メッキとCMPによる埋め込みプロセスによって形成し、保護膜28を形成して完成となる。

【0035】また、センスアンプを周辺回路として作製した。

【0036】このような構造のメモリを0.5 $\mu\text{m}$ ルール（最小加工寸法が0.5 $\mu\text{m}$ ）で設計し、4×4個のセルを有するテストチップを作製した。回路の概略を図10に示す。一つのセル（C11、C12、C13・・・）は、1個の電界効果型トランジスタ（FET；T1

1、T12、T13・・・)とそのドレイン端子と接続された1個の変抵抗器(TMR; R11、R12、R13・・・)からなり、変抵抗器の他端はビット線(BL1、BL2、BL3、BL4)に接続され、FETのソース端子は接地され、FETのゲート電極端子はワード線(WL1、WL2、WL3、WL4)に接続される。また、各ビット線はその電位を参照電圧(Ref.)と比較するためのセンスアンプ(SA1、SA2、SA3、SA4)に接続される。また、書き込み線(WRL1、WRL2、WRL3、WRL4)は、各TMRの直下に配置される。また、各ビット線は、接地用トランジスタ(T1、T2、T3、T4)によって、接地電位にすることができる。

【0037】図11は、テストチップのセル部分を上から見た様子を示したものである。図中、細かい点線で示される1マスが最小加工寸法0.5 $\mu$ mを表している。変抵抗器(TMR)は、縦横比3の長方形をしており、長手方向に磁化容易軸があり、縦方向に磁化する。ビット線(BL)に流れる電流に向きによってTMRの磁化の向きを決定し、書き込み線(WRL)に流す電流は、TMRの磁化容易軸に対し垂直の磁場を発生し、磁化を反転しやすくするための補助磁場を発生させる役割を持つ。

【0038】図10におけるセルC22に「1」を書き込む動作について説明する。書き込み線WRL2とビット線BL2に電流を流し(この際T2はオン状態にする)、次にワード線WL2の電圧を上げ電界効果型トランジスタT22をオンとし、TMR(R22)に貫通電流を流して加熱し、TMR(R22)の記録層とピン層の磁化方向が反平行となるよう、前記記録層の磁化を反転させる。このときのビット線BL2とワード線WL2に流れる電流値は、それぞれ5mAであった。また、TMR(R22)に流れる貫通電流値は、約60 $\mu$ Aである。この操作によって、TMR(R22)を高抵抗状態とすることができる。次に、セルC22の情報を読み出すため、選択トランジスタT22をオンとし、BL2に定電流を流し、ビット線BL2と参照電圧とをセンスアンプSA2により比較する。この場合、R22は高抵抗状態なので、BL2の電位の方が参照電圧より高くなり、SA2は「Hi」信号を出力する。

【0039】一方、書き込み時に、電界効果型トランジスタT22をオフとしたままとし、TMR(R22)に貫通電流を流さず、すなわち加熱せずに書き込み動作を終了したところ、情報が書き換わらなかった。

【0040】これによって、本発明になる動作の有効性が確かめられた。

(第2の具体例)第1の具体例と同様な試作工程により、図12に示すようなメモリセルを試作した。第1の具体例と異なる点は、TbFe/Al<sub>2</sub>O<sub>3</sub>/GdFe積層膜からなるTMR層29が形成されており、書き込み

線23をTMR層29の横に設けて垂直磁化させる構造を採った点である。

【0041】このメモリセルについて、第1の具体例と同様の動作試験を行った結果、同様に本発明になる動作の効果が確認できた。

【0042】

【発明の効果】本発明によれば、設計ルールが小さくなくても、簡単な構造でかつ、容易方法で、強磁性体メモリの情報書き換えが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施形態における強磁性体メモリの構成を示す断面図である。

【図2】本発明の駆動時における電圧、電流の印加方法を示すための説明図である。

【図3】本発明の一実施形態における強磁性体メモリの構成を示す断面図である。

【図4】第1の具体例の試作工程を示す断面図(1)である。

【図5】第1の具体例の試作工程を示す断面図(2)である。

【図6】第1の具体例の試作工程を示す断面図(3)である。

【図7】第1の具体例の試作工程を示す断面図(4)である。

【図8】第1の具体例の試作工程を示す断面図(5)である。

【図9】第1の具体例の試作工程を示す断面図(6)である。

【図10】第1の具体例の強磁性体メモリ構成を示す回路図である。

【図11】第1の具体例の強磁性体メモリ構成を示す平面配置図である。

【図12】第2の具体例の強磁性体メモリ構成を示す断面図である。

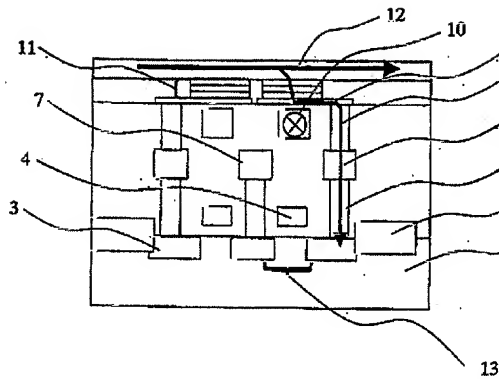
【符号の説明】

- 1 半導体基板
- 2 素子分離領域
- 3 ソース/ドレイン領域
- 4 ワード線
- 5 プラグ
- 6 金属層
- 7 接地線
- 8 プラグ
- 9 ローカル配線
- 10 書き込み線
- 11 トンネル磁気抵抗素子
- 12 ビット線
- 13 電界効果型トランジスタ
- 14 下部電極
- 15 p型シリコン基板

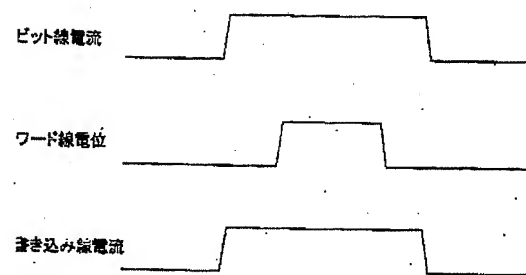
- 16 埋め込み型素子分離領域
- 17 n型拡散領域
- 18  $\text{SiO}_2$ ゲート絶縁膜
- 19 ポリシリコンゲート電極
- 20 タングステンプラグ
- 21 ビア
- 22 接地線

- 23 銅書き込み線
- 24 タングステンプラグ
- 25 TiNローカル配線
- 26  $\text{Cu}/\text{CoFe}/\text{Al}_2\text{O}_3/\gamma\text{-MnFe}$
- 27 銅ビット線
- 28 保護膜
- 29  $\text{TbFe}/\text{Al}_2\text{O}_3/\text{GdFe}$

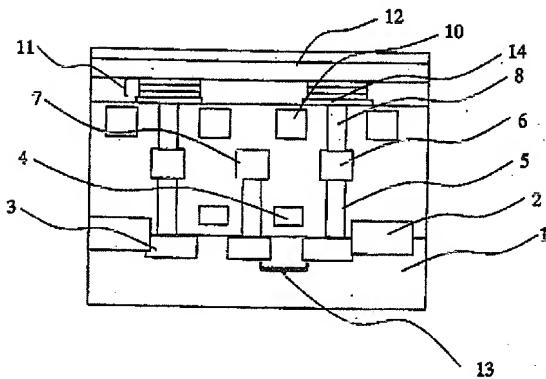
【図1】



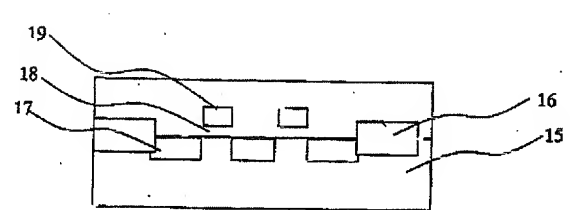
【図2】



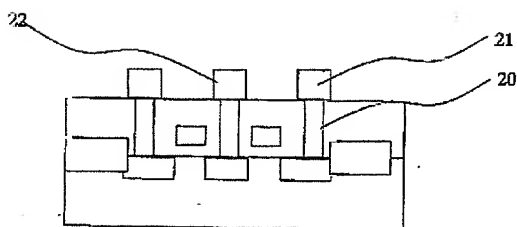
【図3】



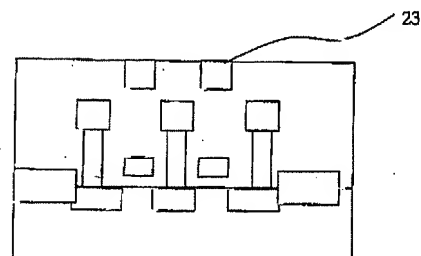
【図4】



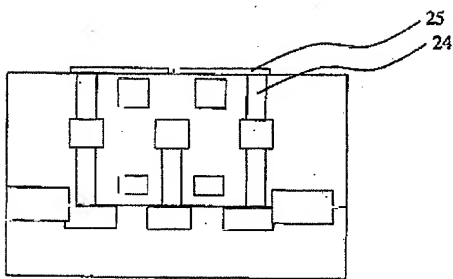
【図5】



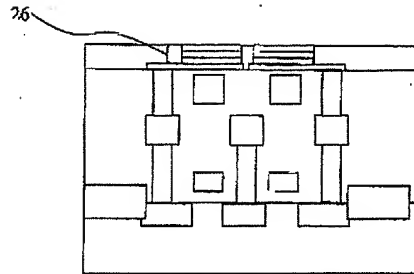
【図6】



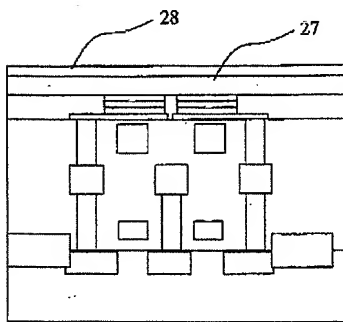
【図7】



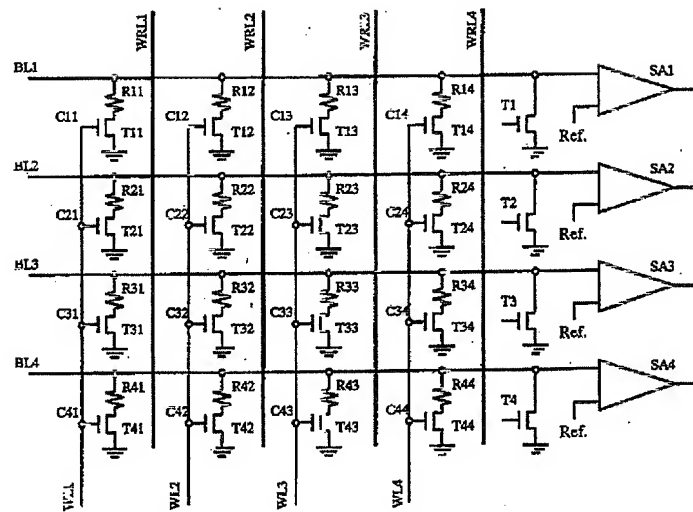
【図8】



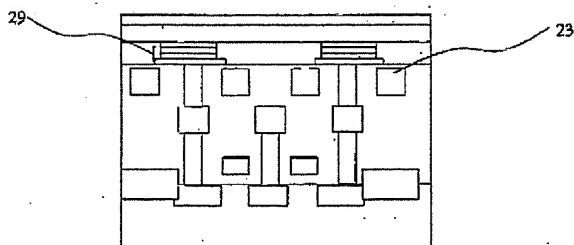
【図9】



【図10】



【図12】





【図11】

